

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

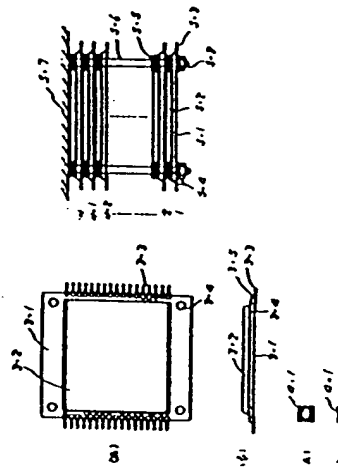
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MOUNTING METHOD OF MULTICHIP PACKAGE:

- (11) 58-96756 (A) (43) 8.6.1983 (19) JP
 (21) Appl. No. 56-194428 (22) 4.12.1981
 (71) TOKYO SHIBAURA DENKI K.K. (72) YOSHITAKA FUKUOKA
 (51) Int. Cl. H01L23/32, H01L23/02

PURPOSE: To perform mounting of the multichip packages having favorable efficiency by a method wherein penetrating holes of resin blocks are positioned to penetrating holes of two or more provided at the circumferential part of the respective multichip packages, and metal bars are inserted therein to be supported and to be fixed to a case body.

CONSTITUTION: IC's are supported to be fixed to a substrate 3-1, and are sealed airtightly by a cap 3-2. Input-output terminals 3-3 are soldered with silver solder 3-5 outwardly and in parallel with the face of the substrate. The penetrating holes 3-4 are provided in the substrate 3-1 at the circumference of the cap 3-2. Penetrating holes 4-1 of the same diameter with the hole 3-4 of the substrate 3-1 are provided in the resin blocks of Teflon, etc., having a little elasticity, and utilizing the holes 4-1 of the blocks 5-5 thereof and the holes 3-4 of the substrate, the rigid body bars 5-6 of metal, etc., are inserted using the blocks 5-5 as the interlayer insulators, and the tips are fixed by screws to the case body 5-7. By this constitution, the multichip packages of a large number can be mounted having favorable efficiency and in high density to the case body having a space in the perpendicular direction.



昭58年6月8日

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-96756

⑫ InCl₃
H₂O, L 23/32
23/02

識別記号

庁内整理番号
6240-5F
7738-5F

⑬ 公開 昭和58年(1983)6月8日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ マルチチップパッケージの実装方法

⑮ 特 願 昭56-194428

⑯ 出 願 昭56(1981)12月4日

⑰ 発 明 者 福岡義孝

川崎市幸区小向東芝町1 東京芝

浦電気株式会社総合研究所内

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近憲佑 外1名

発明の名称

⑳ マルチチップパッケージの実装方法

特許請求の範囲

① 配線基板上に複数の電子的機能要素をナ
ンタ型で実装し、当該配線基板の周辺部に電子的
機能要素であるチップ部品等表面に予行に配線基
板の外向きに入出力端子を形成し、全体を気密封
止べくキャップ等の基体を搭載したマルチチ
ップパッケージの実装方法に於て、前記第1の配線
基板の気密封止すべく形成されたキャップ等の基
体の外側の周辺部の少なくとも2ヶ所以上に通孔
を設け、前記第2～第Nの配線基板の周辺部にも前記
第1の配線基板と同一箇所に同一サイズの通孔を設け、
前記通孔よりも大きな大きさを有し、それ等
の通孔とは同一サイズの孔を具備してなる高
剛性マルチチップパッケージの気密封止用の
キャップ等の基体の前記配線基板表面からの高さ
が多少高めの多少弾力性を有するブロックを
用い、該ブロックを各々の配線基板間及び配線

基板と基板等の基体との間に挿入し、前記第1から第
Nまでの配線基板のすべての通孔と、各々の配線
基板間及び配線基板と基板等の基体との間に挿入
した各々のブロックのすべての通孔とを互に通する
構造を少なくとも2本以上の剛体棒を、前記すべての
通孔に挿入し、その剛体棒の先端部を基板等の
基体に固着せしめる事により、前記第1から第Nまで
のマルチチップパッケージを支持固定せしめる事
を特徴とするマルチチップパッケージの実装方法。

② 基板等の基体に支持固定された前記第1～第Nま
での各々のマルチチップパッケージの配線基板の
電子的機能要素であるチップ部品等表面と予行に
配線基板の外向きに形成された前記各々の入出力
端子の存在している位置と同一位置に配線を有する
入出力端子の大きさより多少大きめの通孔を有し、
特定の回路機能を有すべく配線を形成したフレ
キシブル配線基板を形成し、該フレキシブル配線基
板を前記第1～第Nのマルチチップパッケージの各々
の入出力端子に挿入し、接合する事により、前記
第1～第Nまでのマルチチップパッケージ相互間の電

(1)

(2)

3. 発明の詳細な説明

本発明は、配線板上に複数個の電子的部品を
スタブ状態で実装し、全体を気密封止すべく
キャップ等の蓋体を搭載したマルチスタブパケ
ージの製造方法に関するものである。

近年、電子機器の小型、軽量化、高速化、高信頼性化の要求が著しく高まって来ており、それ等

例えはハンダ付けあるいはウエルディング等により支持固定されたマウナップ等の基板1-2、及び配線基板1-1の周辺部に例えばハンダ付けあるいは螺コ-付け等により形成された入出力端子1-3から構成されている。図Kにおいて1-4は電子的機能要素であるICチップを、1-5は同じくコンデンサチップを示してあり、また1-6は、それ等のICチップ1-5と配線基板1-1との電気的接続を形成する例えばAu線等のワイヤ-を示している。この様なマルチチップパッケージを複数個使用して1つのシステムを形成するわけであるが、この様な場合、従来第2図(II)は平面図、(III)は側面図)に示す如く所謂プリント配線基板2-4上に第1図に示すマルチチップパッケージの入出力端子1-3を折り曲げ成形し、その入出力端子2-3を前記プリント配線基板2-1のスキムホール内に挿入し、例えばハンダ付け2-5等で支持固定する事によりマルチチップパッケージを複数個プリント配線基板上に実装し、各々のマルチチップパッケージの電気的接続を形

この硬なマルチチップパッケージの外観構造は、アサリの基本構造では、第1図に示す如く高密度配線基板1-1形成された少数のピン及び全体を気密封止し得べく配線基板1-1上(穴所)の通孔を

成する事により1つのシステムを形成していた。マルチチップパッ
ここに於て、2-1はマルチチップパッケージ1個となった。5-
配線基板、2-2は気密封止用のキャップ等の配線基板、5-2
体をそれぞれ示している。しかしながらこのマルチチップ等の基体、
方法では、形成すべき1つのシステムを組み込める人出力端子を、
基板等の基体の平面的な面積が前記マルチチップの本体部の先径を1
パッケージ（第1図）を複数個搭載できる程としたそのボルトを
な面積を有する場合は問題はないが、前記基板から第Nまでのマ
の基体の平面的な面積がマルチチップパッケージ組子5-3の電気B
（第1図）の平面的な面積とはほぼ同等な面積に金属ワイヤー等を
存在しない場合には、その基板等の基体内にシブ付けする事に
個のマルチチップパッケージを収容する事は可能構成配線基板（
なれば困難であり成すすべし無かった。））にあらかにめ

本発明はこの様な事情を考慮して成され、所定の各入出力力
であり、その目的とする所は、平面のな面し、当該可動成配
さを設け等の基体に効率的に多くのマルチ配線基板）をマ
ブパッケージを要するを提供する方法を提供する事子5-3に挿入し
尚、本発明は所配設等の基体の平面のな面保持固定し、電気的
有する平面と垂直な方向には、所配マルチ配線性良く各々、

—222—

161

ナチップ等の
ベースを印刷
により所定の図

高密度にありは
スリと絶縁体ベ
ースとを形成し

定の回路機能を持
ズドセラミック

に金属パッド等
に導体ペース

ンシートを積載後
手動又は自動で

を付与する所
高密度配線基板上

に複数個実装し、全体を
チップパッケージ

パッケージの外装構造と
高密度配線基板

に高密度配線基板1-1
に配線基板1-1上

に配線基板1-1上

システムを形成してい
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップパッケージ
チップパッケージ

チップの配線基板1-1の厚さとチップ等
の厚さの和の倍のスペースが存在
する場合には特に有効である。

発明の実施例

以下、本発明の一実施例を図面を参照しながら
説明する。第1図(4)平面図、(4)側面図)は、本

発明によるマルチチップパッケージの構造を示す
ものであり、3-1は電子的接続部であるIC

チップ等のチップ部品は支持固定する配線基板、
3-2はそれらのチップ部品全体を気密封止すべ

(配線基板3-1)上にハンダ付けあるいはウェル
ディング等の手法により形成されたチップ等の

部品を示す。また3-3は、マルチチップパケ
ージのチップ部品が表面に平行に外向きにハンダ

付けあるいは溶融3-5付け等の手法により形
成された入出力端子を示すものである。また3-

4は本発明による気密封止すべく形成されたチ
ップ等の部品3-2の周辺部の配線基板3-1に

形成された少なくとも2ヶ所以上の(図に示しては
なく配線基板1-1上)の通孔を示している。第4図(4)は平面図、

(7)

マルチチップパッケージを効率的に実装する事が
図となった。5-1はマルチチップパッケージ

の配線基板、5-2は気密封止すべく形成された
チップ等の部品、5-3はマルチチップパケ

ージの入出力端子を示す。また5-8は前記金属
の部品を例えばウェルディングによりネジ止

したものを示す。ことに於て、各々の第
4図から第N図までのマルチチップパッケージの入出

力端子5-3の電気的接続の形成方法としては、
金属ワイヤ等を用いて接続を起す事なく、

ハンダ付け等の手法により形成してもよいが、例
えば配線基板(フレキシブルプリント配線

基板)に形成された各々のマルチチップパケ
ージの入出力端子5-3の存在する位置に通孔を設

定の入出力端子5-3間の配線を形成し、
該配線基板(フレキシブルプリント配線

基板)をマルチチップパッケージの入出
力端子5-3に挿入し、ハンダ付け等の手法によ

り電気的接続を形成するとより容易
に電気的接続を形成する事が可能である。各々のマルチチップパケ

ージ

(9)

(10)

(11)

(12)

(13)

(4)は側面図)は、本発明による配線基板3-1を
通ける事のない硬な多少弾力性を有する例えば

テフロン等の樹脂ブロックを示してあり、その例
えばテフロン等の樹脂ブロックには、前記配線基

板3-1の周辺部に形成された通孔3-4とはほぼ
同一サイズの通孔4-1が形成されている。第5

図は本発明によるマルチチップパッケージ(第3
図)を基板等の基板5-7に実装した実装方法を

示す側面図である。すなわち第1のマルチチップ
パッケージから第Nのマルチチップパッケージの

各々の間及び第Nのマルチチップパッケージと基
板との間、前記マルチチップパッケージの周辺

部に設けられた少なくとも2ヶ所以上の通孔3-4の
存在する位置に前記例えばテフロン等の樹脂ブ

ロック5-5の通孔4-1の位置を合わせ当該テフ
ロン等の樹脂ブロック5-5(第4図)を挿入し、

これ等の通孔、図に示した3-4及び4-1を完全
する硬な例えば金属等の剛性部5-6を挿入し、

その先端をネジ止め等の方法にて基板等の基板5
-7に支持固定する事により第1から第Nまでの

の入出力端子5-3間の電気的接続が形成され得
るであろう。

発明の効果

本発明を採用する事により、平面的には小さな
面積しか有さないが、それと垂直な方向にはある

程度のスペースを有する基板等の基板に多数のマ
ルチチップパッケージを効率的に非常に高密度に

実装する事が可能と成った。

発明の実施例

尚、本発明の一実施例の図面による説明で、第
4図の例えばテフロン等の樹脂ブロックは、第6

図(4)平面図、(4)側面図)に示す如く、前記マ
ルチチップパッケージの気密封止すべく形成された

チップ等の部品の周辺部を適当な形状構造とし
てもよい。但し通孔6-1は、マルチチップパ

ッケージの配線基板の周辺部に設けた通孔と同一位
置にほぼ同一サイズで形成する事が必要である。

また、本発明のマルチチップパッケージの配線基
板及び気密封止すべくチップ等の部品は、すべ

て長方形にて説明して来たが、これは円形あるい

は正方形あるいは六角形あるいは八角形あるい

は十角形あるいは多角形あるいは任意の形状ある

いは任意の形状あるいは任意の形状あるいは任意

の形状あるいは任意の形状あるいは任意の形状ある

いは任意の形状あるいは任意の形状あるいは任意

1-3, 2-3, 3-3, 5-3... マルチチップパッケージの入出力端子。

2-4... プリント配線基板。

3-4, 5-4... 本発明により形成されたマルチチップパッケージ用配線基板周辺の通孔。

5-6... 本発明による金属等の剛体部。

5-7... 基板等の基板。

代理人 弁護士 則 近 康 佑
(ほか1名)

図 3

(a)

(b)

図 4

(a)

(b)

図1(a)に示すように、本発明は、本発明を成すための必要とされる、あるいは慣習的な固体等の基板を有する場所にて、非常に高密度に効果よく、マルチチップパッケージを実現することが可能と成すことにより、電子回路の超小型化に貢献する事を可能ならしむる事ができた。

以下、図面の簡単な説明を、

図1(a)図は従来のマルチチップパッケージの斜視図、図1(b)図は従来のマルチチップパッケージの実装方法を示す図、図2(a)図は本発明によるマルチチップパッケージを説明するための図、図2(b)図は本発明によるチップ等の側面ブロックを示す図、図3図は本発明によるマルチチップパッケージの実装方法を示す図、図4図は図3図に示すチップ等の側面ブロックの他の変形例を示す図である。

図1(a)図、2(a)図、3(a)図、5(a)図... アミナセミック等のマルチチップ用高密度配線基板。

図1(b)図、2(b)図、3(b)図、5(b)図... マルチチップパッケージの気密封止用のチップ等の基板。

00

02

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

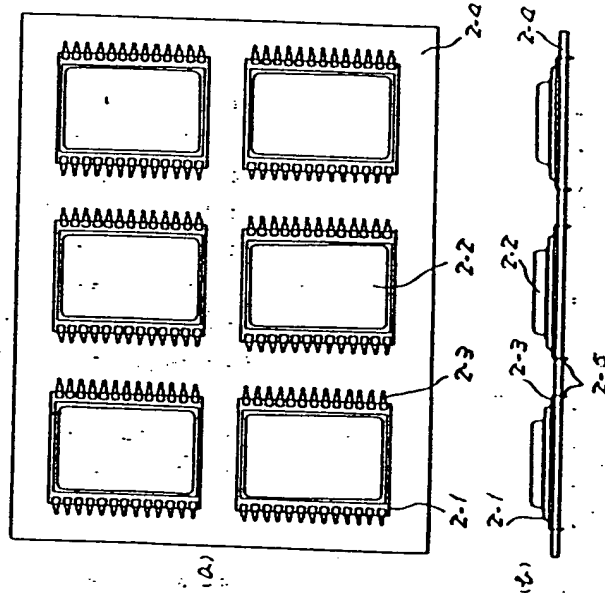
図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

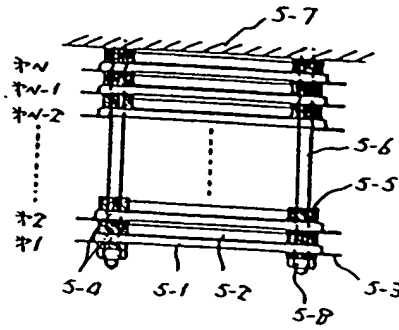
図1(a)図、2(a)図、3(a)図、5(a)図...

図1(b)図、2(b)図、3(b)図、5(b)図...

図1(a)図、2(a)図、3(a)図、5(a)図...



第 5 圖



第 6 圖

